

アナログ・デバイセズに寄せられた珍問／難問集 Issue 168

オペアンプにブートストラップを適応し、高電圧の電源と信号で動作させる

著者：Barry Harvey

質問：

ごく一般的な電源電圧で動作するオペアンプICにブートストラップ手法を適用し、高電圧に対応するバッファとして使用することは可能でしょうか？



回答：

入力特性に特徴のあるオペアンプICを使用すれば可能です。元のオペアンプICよりも高い電源電圧範囲、ゲインの精度、スルー・レートを達成し、歪みを抑えることができます。

以前、筆者は、高い精度が求められる電圧計の入力部の設計を担当していました。その際に必要になったのが、次のような特性を備えるユニティ・ゲインのバッファ回路です。その特性とは、入力バイアス電流が1pA未満、低周波領域のノイズが1μVp-p未満、オフセット電圧が約100μV、非直線性が1ppm未満というものです。また、絶えず高められるA/Dコンバータ（ADC）の分解能を活かすために、オーディオ帯の周波数領域と60HzにおけるAC歪みを非常に低く抑えることも条件の1つでした。それだけでも十分に難易度が高いのに、±50Vの電源を使用して、±40Vの信号をバッファしなければなりません。バッファの入力部には、高インピーダンスのデバイスか、外部信号が直接接続されます。したがって、ESD（静電気放電）や電源電圧を超える入力にも耐えられるようにする必要があります。

バイアス電流が1pA未満に抑えられているオペアンプ製品は、必ずしも多くはありません。入手が可能なのは、主に電位計グレードと呼ばれるものです。そうした製品では、バイアス電流が数十fAに抑えられています。ただ、残念ながら、そうした製品は、低周波領域（0.1Hz～10Hz）

のノイズがピークtoピークで数μVに達します。また、入力オフセット電圧とオフセットの温度係数の面で、上記の要件を満たさないものがほとんどでした。更に、同相ノイズ除去比（CMRR）とオープンループ・ゲインも、1ppmの直線性を達成できるほど高くありません。そもそも、電位計グレードの製品で、±50Vもの電源電圧に耐えられるものは存在しません。

アナログ・デバイセズのオペアンプ製品ファミリー「LTC6240」は、バイアス電流が標準で0.25pA、低周波領域のノイズが0.55μVp-pです。入力バッファとして十分に良好な特性を備えています。電源電圧は最高でも12Vです。それよりも高い電圧に適応させるには、同ICに周辺回路を追加して、ブートストラップを実現する必要があります。

設計上のアプローチ

図1は、ブートストラップ手法を適用したアンプ回路を簡略化して示したものです。

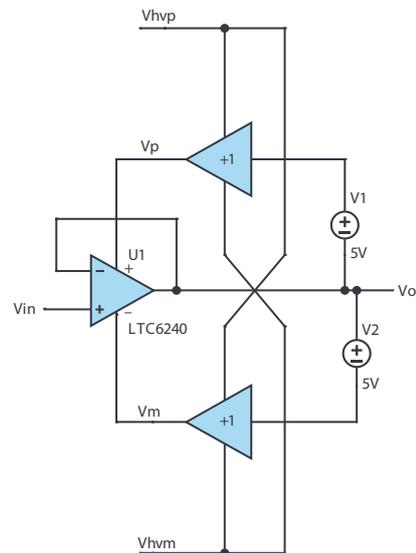


図1. ブートストラップ手法を適用したアンプ回路。LTC6240に付加する電源回路の基本構造を示しました。

LTC6240は、 V_p と V_m の両電源電圧によって動作します。 V_p としては、ゲインが1のバッファ・アンプを介して5Vを供給します。 V_m としては、もう一方のバッファ・アンプを介して-5Vを供給します。

この回路において、 V_p と V_m の両電源電圧は、それぞれを出力するバッファ・アンプの入力信号に必ず追随します。また、それらの入力信号は、LTC6240で構成したバッファから出力されたものです。そのため、同相入力誤差は全く発生せず、理想的な状態が得られます。LTC6240のCMRRは、特筆すべきものではありません。しかし、ブートストラップの仕組みによって、実質的なCMRRが少なくとも30dB以上は改善されます。30dBという値は、 V_p/V_m 用のバッファ・アンプにおけるゲインの精度の上限に基づいて決まります。

LTC6240のオープンループ・ゲインも同様に高められます。LTC6240の内部のゲイン・ノードと電源レール間にトランジスタの出力インピーダンスが存在すると、アンプ回路としてのゲインが制限されます。電源は出力によってブートストラップされるので、そのインピーダンスには、信号に伴う電流はほとんど流れません。そのため、CMRRと同様に、オープンループ・ゲインが改善されるのです。但し、オープンループ・ゲインは、出力負荷によって制限を受ける可能性があります。

少しわかりにくいと思われかもしれませんが、ブートストラップによって、回路全体のスルー・レートも向上します。通常、スルー・レートは、LTC6240内部の自己消費電流と、電源を基準とする補償用のコンデンサによって制限されます。入出力に応じて電源電圧が変化しても、それらのコンデンサには、ほとんどダイナミックな電流は流れ込みません。そのため、アンプのスルー・レートが制約されるレベルに達することはありません。最終的に、全体的なスルー・レートは、バッファ・アンプからの制限を受けます。

高電圧源である V_{hvp} と V_{hvm} には、外乱が生じることがあります。しかし、バッファによってそれらはほぼ除去されるので、LTC6240の電源電圧変動除去比（PSRR）は大きく向上します。

上述したように、電源にブートストラップを適用することにより、LTC6240で構成したバッファの特性は、複数の面で改善されます。但し、1つ大きな問題があります。それは、図1の回路はほぼ間違いなく発振するという事です。電源端子の挙動を、フィードバック・ループの一部として考えるとわかりやすくなります。出力端子の電圧には、バッファ・アンプの周波数応答が乗じられ、 $1/PSRR$ が乗じられた値が入力に追加され、オープンループ・ゲインによって乗算された値が出力となって、永久にループを周回してしまうのです。図2（a）にPSRRと周波数の関係を示しました。

このPSRRのグラフには、位相の情報が示されていません。ここでは、位相が 90° であるとしてます。微分器と同じ 90° です。図2（b）に示すように、オープンループ・ゲインの位相は、低い周波数から100kHzまでの範囲では -90° 程度で、その後は負の方向に向けて値が増加していきます。バッファの周波数応答は有限であり、位相遅延も生じます。ループ内のすべての位相遅延が足し合わ

せられると、いくつかの周波数において、フィードバック位相が 0° または 360° の倍数になることがわかります。位相がそれらの値になっているとき、電源ループのゲインが1を上回っていると、この回路は発振します。PSRRは少なくとも4dB低下しますが、-4dBの減衰は、ゲインが0.63になることに相当するため、ループは発振するほどのゲインを持たないように思われるかもしれませんが、しかし、それはおそらく誤りです。PSRRは V_p と V_s の両方に適用されるので、PSRRによるゲインの増加によって、ループのゲインが1を超える可能性はあるからです。また、バッファの周波数特性を見ると、高い周波数でゲインがロールオフする前に、いくつかのピークが存在します。それによって、ループにおけるフィードバック振幅が1以上に達するかもしれません。更に、バッファはそれなりに容量の大きいコンデンサを駆動する必要があるため、位相遅延が更に大きくなる可能性があります。実際、LTspice[®]によってこの回路のシミュレーションを実施すると、発振が生じるという結果が得られます（LTC6240のマクロモデルには、周波数応答と非直線性に関する情報も盛り込まれています）。

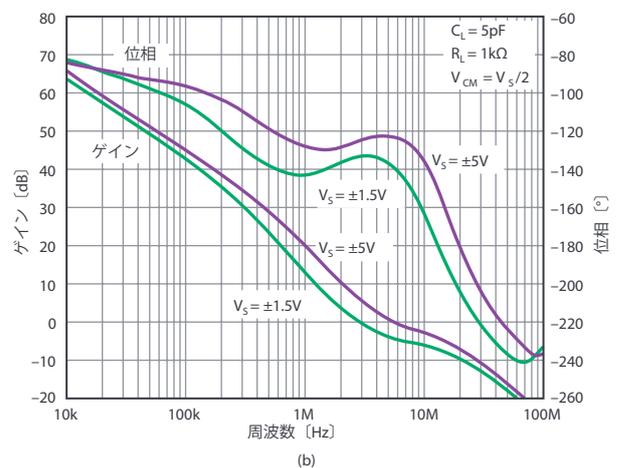
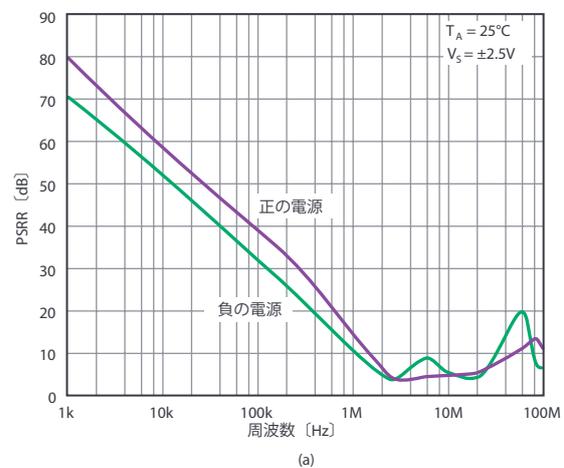


図2. LTC6240の周波数特性。(a)はPSRR、(b)はオープンループ・ゲインの特性を表しています。

実装の詳細

図3は、図1の回路の詳細を示したものです。

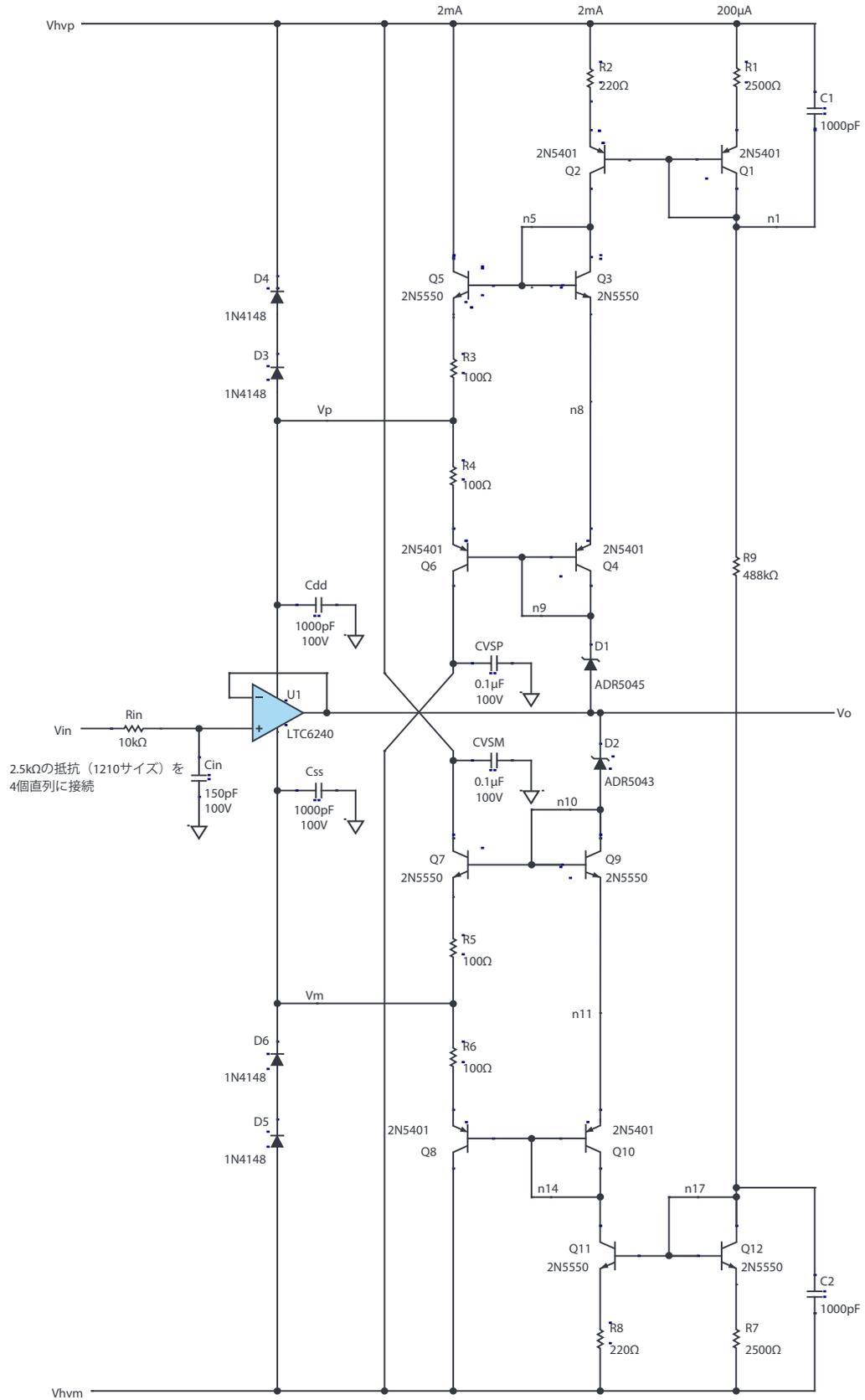


図3. ブートストラップ手法を適用したアンプ回路

LTC6240の電源端子の近くには、1000pFのバイパス・コンデンサを接続しなければなりません。オペアンプは何十個ものトランジスタを組み合わせて実現されており、このアンプの場合、 F_c はGHzのレベルに達します。通常、それらはフィードバックを介して互いに接続されており、バイパス・コンデンサを適用しなければ、ACインピーダンスの高い電源に対して発振を起こす可能性があります。そうした発振は、1000pFのバイパス・コンデンサを使用すれば、十分に抑えることができます。また、電源に付加するバイパス・コンデンサは、どの出力負荷コンデンサよりもはるかに大きな容量のものでなければなりません。高い周波数領域では、負荷となるコンデンサにおいて電圧が遷移し、それによって生成される電流が電源レールに流れ込みます。その結果、電源電圧に変調が加わり、PSRRの効果を経たフィードバックによって、発振が引き起こされる可能性があります。バイパス・コンデンサは電源電圧の変調を抑え、出力から電源までのフィードバック経路のゲインを抑えるのと同じ効果をもたらします。

これらのバイパス・コンデンサの充放電には、かなりの電流が必要です。また、その電流は、双方向でなければなりません。Q5とQ6は、バイパス・コンデンサへの大量の電流を駆動できるエミッタ・フォロワです。Q3とQ4は、Q5とQ6の自己消費電流を設定するバイアス用ダイオードとして機能します。Q2は、これらのダイオードと、出力を基準とする正の電源電圧を決定するツェナー・ダイオードD1（実際にはシャント・リファレンスIC）にバイアス電流を供給します。Q2のコレクタは、高電圧の電源レール間に配置された抵抗R9によってバイアスされる電流ミラーの出力です。電源電圧が一定でない場合には、R9を2つの電流源に置き換えても構いません。

上の説明と同様に、Q7～Q12は、負の電源 V_m 向けのドライバとして機能します。ツェナー電圧をわざと整合させていない点にも注目してください。Vpは入出力よりも5V高く、Vmは入出力よりも3V低くなっています。この不整合により、入力電圧は、電源からの制約を受けるLTC6240の入力範囲の中央に設定されます。その結果、スルー・レートの観点から見た波形が最適化されます。

通常、LTC6240の電源電流は、Q5のエミッタから引き出され、実質的にQ6はオフになります。そのため、Vp用のバッファの出力インピーダンスは、ほぼR3に等しくなります。したがって、Vpのフィードバック・パスの帯域幅は $1/(2\pi \times 100\Omega \times 0.001\mu\text{F}) = 1.6\text{MHz}$ と近似できます。10MHz以上では、LTC6240のオープンループでの位相によって発振が生じ始めますが、この帯域幅によって、Vpのループ・ゲインが1よりもはるかに小さくなるのが保証されます。100Ωの抵抗には、フォロワであるQ5が1000pFを直接駆動しなくて済むようにする効果があります。エミッタ・フォロワの出力インダクタンスは、容量性の負荷との間で共振を起こしますが、リングングや発振まで生じてしまう可能性があります。

ブートストラップ回路は、1.6MHz以上の周波数では、適切に動作しないように設計されています。そのため、約100kHzを超える領域では、回路全体の動作が完璧ではなくなっていきます。バッファの出力が入力に正確に追従しなくなると、ブートストラップのメリットは低下します。RinとCinは、バッファの後段に配置されるADC用の

アンチエイリアシング（折返し誤差防止）フィルタの一部として、帯域幅を100kHzまでに制限します。また、無線システムにおける干渉を減衰させたり、サポートできないスルー・レートを低下させたりする役割も果たします。

この回路は、スルー・レートが無制限の入力信号やESDに耐える必要があります。Rinは、異常な入力電流を制限する役割も果たします。Rinは、4つの抵抗を直列に接続することで構成されており、過剰な入力の影響を軽減します。その効果により、一時的には1kVに耐えることができます。入力抵抗の値は、信号源と予期せぬ過負荷に応じて下げることも可能です。

LTC6240は、過電圧が入力された際にVpまたはVmに電流を誘導する保護ダイオードを備えています。LTC6240の入力部で許容できる異常な電流は、最大10mAです。異常が生じた際、直ちに入力経路を遮断する周辺回路を設けておけば、短い間だけ10mA以上の電流が流れても構いません。この回路が対象とするアプリケーションは、非通電時にバッファへの入力を1/10に低下させる分圧回路に接続するためのSPDTリレーを備えています。通電時には、そのリレーが入力を直接接続します。一方、非通電時には、バッファは10kΩをはるかに超えるソース・インピーダンスに接続されます。そのため、異常な電圧/電流は、10mAという定格の連続電流に相当するレベルまで抑えられます。対象とするアプリケーションの入力電圧範囲は±400V（連続）で、許容可能な異常電圧の範囲は±1000Vです。この仕様を実現するには、過電圧の入力を検出してリレーを直ちに開放する2つのコンパレータが必要になります。この動作は1～2ミリ秒以内に行われ、100mAのレベルの過渡的な入力電流は、LTC6240の保護ダイオードによって緩和されます。D3～D6は、VpまたはVmに流れるはずの入力過電流を、LTC6240を経由してVhvpまたはVhvmへと導きます。この点に注意してください。過電流は通常の電源の動作とは逆の方向に流れるので、各電源はおそらくその電流を吸収することはできません。そこで、リレーのスイッチング動作の結果として状態が安定するのを待つ間、十分に大きいバイパス・コンデンサによって、電源電圧を安全な状態に保ちます。100mAの過電流に対し、2ミリ秒の間、電源電圧の変化を2Vの範囲内に維持するには、100μFの容量が必要です。

高電圧の信号源

開発を進めていった結果、実験用のプロトタイプを構築し、そのテストを行う段階にまで到達しました。その時点で、回路を動作させるために十分な振幅で、任意の波形の電圧信号を出力できる信号発生器を用意できないことに気づきました。ただ、±10Vp-pの振幅までであれば、様々な波形を生成できる発生器は存在します。そこで、大振幅の波形をクリーンに再現できるアンプ回路を構成することにしました。図4に示したのが、ディスクリット部品を使用して構成した電流帰還アンプ（CFA：Current-feedback Amplifier）の高電圧対応版です。

CFAはスルー・レートが非常に高く、通常は広い帯域幅に対応します¹⁾。しかし、ここでは、高電圧に対応できるトランジスタを使用しているため、帯域幅はやや狭くなります。その種のトランジスタは、低電圧にしか対応できないものよりも寄生容量が大きく、 F_c が低くなるからです。

ここで、いくつかの注意点があります。この回路には、電流や消費電力を制限する仕組みは適用されていません。そのため、10mAを超える負荷電流が長時間流れ続けると、出力段をはじめとする複数の段が熱によって劣化してしまう可能性があります。また、高電圧源には、0.1 μ Fを超えるバイパス・コンデンサは付加しないことが推奨されます。大容量のコンデンサを使用すると、短絡によって溶着が生じるかもしれないからです。ただ、この例では、第2次高調波歪みを抑えるために、高電圧源に100 μ Fのバイパス・コンデンサを追加しなければなりません。また、ハード・ターンオン/ターンオフを回避するため

に、実験用の電源は、手作業で起動/停止することになりました。50Vの電圧を扱う場合でも、人間が心停止に至るほどの電流が発生し得ることに注意してください。したがって、高電圧源における電流制限の値を60mAまで引き下げることが推奨されます。50Vというのは、十分に配慮が必要な高い電圧です。

図4において、オペアンプ「ADA4898」は、CFAを制御する役割を果たします。CFAの精度と歪みを適切に維持するという事です。CFAは、一般的にDC誤差が大きく、高い精度が得られにくいという性質を持ちます。ADA4898は、そうした性質を補う役割を果たします。

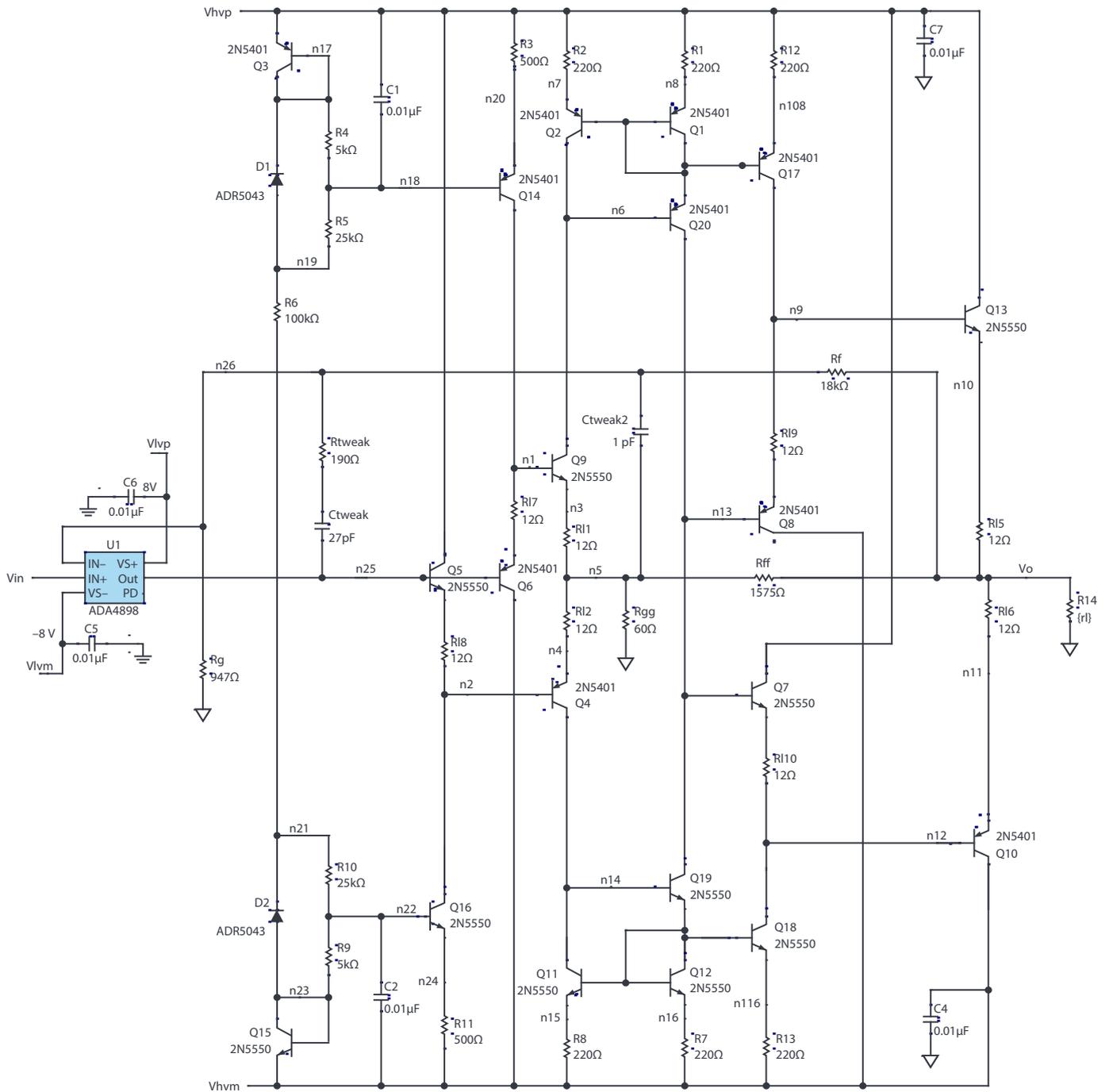


図4. CFAの高電圧対応版

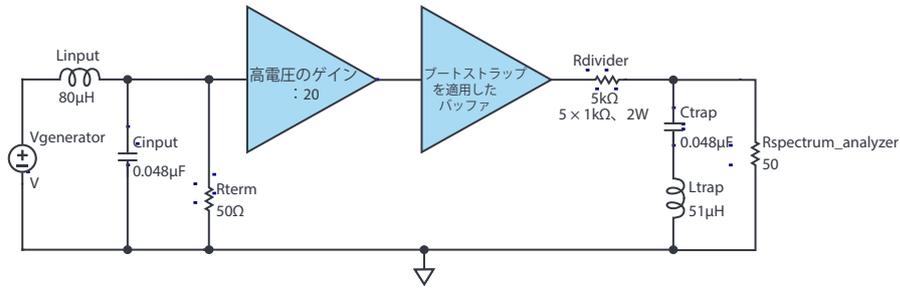


図5. 歪みの評価用の構成

CFAの正の入力はノードn25で、負の入力は、ノードn5です（n5は入力です）。抵抗 R_{ff} と R_{gg} は、内部CFAのゲインを約27に設定します。この高いゲインにより、制御を担うオペアンプの出力振幅は、わずか $\pm 2V$ で済みます。CFAのゲインを更に高めて、制御用のオペアンプの負荷を更に軽減することも可能です。但し、そうするとCFAの帯域幅が狭まり、歪みが増大します。全体的なゲインは、 R_f と R_g によって設定されます。この例の場合、その値は20です。コンデンサ C_{tweak} と同 C_{tweak2} は、 R_f と共に、オペアンプの安定性を高める役割を果たします。これは、215kHz以上において、アンプ回路全体のフィードバック系からCFAの位相遅延を排除することで行います。

n13は、CFAのゲイン・ノードです。これは、Q1/Q2/Q20とQ11/Q12/Q19を含む電流ミラー回路によって駆動されます。

Q7/Q8/Q10/Q13は、相補型の複合エミッタ・フォロワの形で出力バッファを構成します。電流制限回路は設けていないので、決して出力を何かに短絡させてはなりません。

高電圧に対応するアンプのCFAセクションは、-3dB帯域幅が35MHzであり、単体ではピーキングは発生しません。回路全体の-3dB帯域幅は33MHzで、8dBのピーキングが生じます。通常、複合アンプ回路の設計において、2つ目のアンプの帯域幅は、ピーキングを避けるために入力制御アンプの帯域幅の3倍以上に設定します。しかし、この例では、そのような望ましい比率を達成することはできませんでした。ただ、少なくとも8dBのピークであればQ値は高くはならず、リングングは十分に速く減衰すると言えます。対象とする100kHzの信号は、ピークが生じる周波数以下の領域で適切に再現されます。80Vp-pの出力の100kHzにおける歪みを測定すると、値は-82dBcでした。100kHzにおける出力が32Vp-p以下であれば、-100dBcまで低下します。方形波に対する応答を観測すると、高速なエッジのオーバーシュートは約60%でした。出力スルー・レートが250V/マイクロ秒未満であれば、オーバーシュートはほぼ生じません。スルー・レートの最大値は、約1900V/マイクロ秒です。

評価用の構成

ここまでで、大振幅の信号を使用する準備が整いました。ただ、標準的な実験装置を使って $\pm 40V$ の出力を測定するには、どうすればよいのでしょうか。高電圧に対応するアンプもバッファも、10mAを超える電流は出力せず、約40pFを超える負荷に対して、安定した動作を維持することはできません。同軸ケーブルの容量は、1フィート（約30cm）当たり27pFが大きすぎます。オシロスコープで使用する1:10のプロブの負荷は、わずか約15pF、10M Ω です。したがって、オシロスコープに接続するのは問題ありません。

歪みの測定については、実験室にあるどのオーディオ・アナライザを使用しても、100kHzにおいて-80dBc以上の性能を得ることはできません。そのため、スペクトラム・アナライザを使用する必要があります。残念ながら、スペクトラム・アナライザは50 Ω に対応する入力しか備えておらず、この回路を駆動するには、値があまりにも小さすぎます。そこで、回路のインピーダンスを5050 Ω に対応させることにしました。図5のように、信号とアナライザの50 Ω 入力の間には5k Ω の分圧抵抗を配置し、1/100の分圧器に近い回路を構成しました。周波数の低い信号に対して、5k Ω の抵抗が熱シフトを起こさないようにすることが重要です。熱シフトは V_{OUT}^2 に比例し、偶数次の高調波を引き起こすからです。1k Ω の抵抗（2Wに対応）を5個直列に接続してRdividerを構成しました。2Wに対応する抵抗の熱抵抗は約37 $^{\circ}C/W$ で、1k Ω の抵抗5個の熱抵抗は7.5 $^{\circ}C/W$ です。これに $\pm 40V$ の正弦波を印加すると、消費電力は160mWとなり、抵抗の温度上昇は $7.5 \times 0.16 = 1.2^{\circ}C$ になります。抵抗値の温度シフトは約100ppm/ $^{\circ}C$ なので、DCにおけるシフト量は120ppmとなります。つまり、非直線性は約0.01%で、-80dBcの歪みが生成されます。これでは十分に正確な測定結果を得ることはできません。この構成の長所は、分圧抵抗の熱時定数がかかなり大きく、100kHzの周期の途中で抵抗値はほとんどシフトしないと考えられることです。皮肉なことに、おそらく1kHz以下という低い周波数の方が歪みは劣化します。

アナライザの入力範囲には制約があるので、いずれにせよ、80Vp-pの信号は減衰させなければなりません。とはいえ、スペクトラム・アナライザの最高の性能を引き出すには、そもそもの信号が大きすぎます。高調波がノイズに埋もれるか、大きな入力によって歪みが増大するかというトレードオフがありますが、使用するアナライザの歪み性能は、わずか-80dBcです。図5に、実際に使用した歪みの評価用の構成を示しました。図のように、100kHzのトラップをアナライザの入力部に配置することにより、基本波の振幅を抑えています。このようにして、信号を数mV未満（高調波のみ）に制限すれば、-120dBcに近い測定範囲が得られます。

大本の信号源は、100kHzの高調波を減衰するローパス・フィルタであるLinputとCinputを介して、Rtermを駆動します。これによって、歪みは、測定の対象となる回路よりも低い約-113dBcという値まで改善されます。このようにしてクリーンアップされた信号は、高電圧アンプによって増幅され、分圧器を駆動するバッファを介して次段に引き渡されます。

インダクタは、給電用EIコアの大きなボビンにマグネット・ワイヤを巻き付ける形で構成されます。コアの材料は、どのようなものであっても歪みが増大する原因になるので使用できません。したがって空芯であることが必須です。ワイヤを巻いて測定するというのをただ繰り返します。

通常、筆者はシールドなしの配線を無造作に使用していますが、Ltrapは、隣接するシールドなしの配線に高調波を磁気放射することがわかりました。そこで、BNCジャックを使用してグラウンドに接続されたクッキーの缶にトラップ部品を格納しました。ここではクッキーの缶を使用しましたが、シールドの代わりになるスチール・ボックスであればどのようなものでも代用できます。

キャリブレーションを行うために、2つのアンプをスルー・ワイヤに置き換えました。そして第2次～第4次の高調波に対応する周波数において、Rtermからスペクトラム・アナライザの入力部までの電圧のゲインを記録しました。歪みの評価では高調波を測定します。その際には、記録しておいたその周波数におけるゲインを使用し、バッファの出力における高調波成分を推定しました。オシロスコープでバッファの基本波の出力振幅を観測し、高調波成分の正規化されたrms値を求め、基本波の振幅で除算することによって全体的な歪みを算出しました。

評価の結果

図5の構成において、スペクトラム・アナライザによる歪みの評価結果は、70Vp-pと80Vp-pの出力において-81dBc、50Vp-pと60Vp-p出力において-82dBc、16Vp-pと32Vp-pの出力において-86.5dBcとなりました（すべて100kHzで測定）。

続いて、DCの直線性、ゲインの精度、入力範囲を測定しました。図6に示したのは、入力DC信号を掃引した場合のバッファの入力オフセットを測定した結果です。

本稿で示したブートストラップ手法を適用すれば、有効な入力特性を備える任意のアンプを、高電圧の信号に対応させることができます。入力ノイズが非常に小さいか、オフセットが極めて小さいアンプであれば、数百Vの電圧で動作させても、良好な結果を得ることができます。

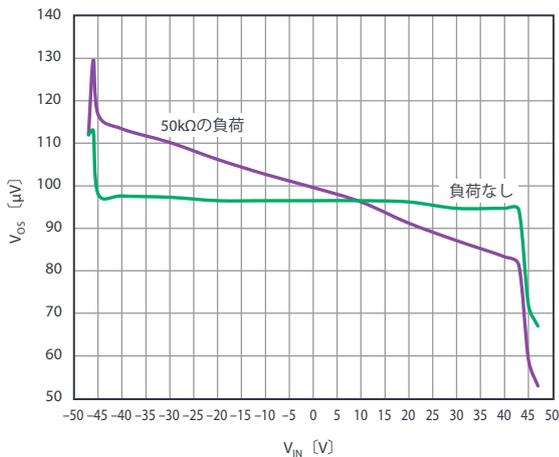


図6. バッファの V_{IN} と V_{OS} の関係。R1が無限大の場合と50kΩの場合の結果を示しています。

$\pm 40V$ の信号が存在する状況で、 μV 未満の変化をマルチメータで検出するのは容易ではありません。対象としている回路はバッファなので、入力と出力の間に電圧計を接続するだけで、電圧計の検知能力を活かしてオフセットを検出することができます。使用したマルチメータの同相ノイズ除去性能は、 $\pm 40V$ の入力に対して $1\mu V$ 未満でした（これは入力を短絡してテストを行った結果です）。

グラフに現れるわずかな変動は、低周波領域のノイズと熱による変動に起因します（特に後者の影響が支配的です）。人間や空調が近くにあるだけで、通気や温度の変動が生じ、 μV レベルのゼーベック効果や熱電対の電圧誤差が生じます。最適なシールドやスクリーン室を使用することはできなかったため、回路を布で覆って通気を防ぎました。それでも $0.6\mu V_{rms}$ の変動が生じました。

ノイズが存在する中で、負荷がない場合のグラフ（緑色）を観ると、ゲインの誤差は約 0.03ppm で、悪い値ではありません。ブートストラップを適用していない状態では、LTC6240のゲイン誤差は 5.6ppm （公称値）、CMRRの誤差に起因するワーストケースのゲイン誤差は 100ppm です。負荷が $50\text{k}\Omega$ の場合（紫色）、ゲイン誤差は -0.38ppm となっています。負荷が存在する場合のゲイン誤差は、 0.02Ω の出力インピーダンスと等価です。その 0.02Ω が何に起因しているのかを特定するのは困難ですが、負荷電流が V_p または V_m を変調し、LTC6240内部の同相ノイズ除去またはゲイン制限機能を介して作用した結果であるか、単に配線や基板の抵抗によるものである可能性があります。いずれにせよ、ゲインを正確に維持するには、LTC6240の最終負荷に対するフィードバック経路をリモートで接続するとよいでしょう。それにより、ケルビン接続の効果を得ることができます。

図7に、小振幅のパルス信号に対する回路の応答を示しました。



図7. 小振幅のパルス信号に対する回路の応答

高電圧アンプの出力である緑色のチャンネルのリングングは、測定方法に問題があったために発生しています。実際には、リングングは生じません。オシロスコープの通常のプロブとボード間のグラウンドしか使用しなかったため、このような結果になりました。黄色のグラフはバッファの出力であり、 $C_{in} + R_{in}$ によって支配される単純な指数関数の特徴が表れています。

図8に、振幅の大きいパルス信号に対する回路の応答を示しました。 $\pm 32\text{V}$ /マイクロ秒の入力スルー・レートに対して、滑らかな応答が得られています。



図8. 大振幅のパルス信号に対する回路の応答（その1）。
入力スルー・レートが $\pm 32\text{V}$ /マイクロ秒という
適度な条件で評価を実施しました。

図9に示したのは、スルー・レートが過剰に高い場合のバッファの応答です。 $\pm 32\text{V}$ /マイクロ秒に対応できる回路ですが、 $100\text{kHz}/80\text{Vp-p}$ の出力の場合、最大 $\pm 25\text{V}$ /マイクロ秒のスルー・レートにしか対応できません。



図9. 大振幅のパルス信号に対する回路の応答（その2）。
入力スルー・レートが $\pm 130\text{V}$ /マイクロ秒という
過剰な条件で評価を実施しました。

過剰なスルー・レートの信号については、入力フィルタによって、バッファが対応できる値に制限されることに注意してください。リップルは、ブートストラップ回路が出力スルーに対応できない場合のアーティファクトとして発生し、スルーの最中に繰り返し入力ヘッドルームに対する過負荷を引き起こします。Cinの値を小さくすると、入力スルー・レートが増加して、ブートストラップ回路が対応できなくなり、更にひどいリングングが生じます。

まとめ

本稿では、低電圧で動作するオペアンプ（バッファ）に対して、効果的なブートストラップ回路を適用し、高電圧に対応するバッファを構成する方法を示しました。入力特性に特徴のあるオペアンプを使用して、元のオペアンプよりも高い電圧範囲、ゲインの精度、スルー・レートを達成し、歪みを抑えることができることをご理解いただけたはずで

参考資料

¹ Barry Harvey 「Application Note AN1106: Practical Current Feedback Amplifier Design Considerations (アプリケーション・ノートAN1106:電流帰還アンプの設計に関する実践的な考察)」ルネサス エレクトロニクス、1998年3月24日

著者について

Barry Harvey (barry.harvey@analog.com) は、アナログ・デバイスでアナログICの設計を担当しています。これまでに、高速オペアンプ、電圧リファレンス、ミックスド・シグナル回路、ビデオ回路、DSLライン・ドライバ、D/Aコンバータ、サンプル&ホールド・アンプ、乗算器などを設計してきました。スタンフォード大学で電気工学の修士号を取得。20件を超える特許を保有し、それと同じくらいの数の記事や論文を发表しています。趣味は、中古のテスト装置を修理すること、ギターを演奏すること、Arduino関連のプロジェクトに取り組むことです。



Barry Harvey